

数字集成电路设计就业分享

郝斌

教育背景:

本科: 中南大学, 硕士: 物理所 2020级

在职情况:

字节跳动, 数字芯片后端工程师

过往经历:

北京开源芯片研究院-中科院计算所: 香山处理器物理设计

华为海思图灵核: ASIC芯片物理设计—优秀实习生

求职情况:

求职岗位: 数字芯片中/后端

Offer: 海思图灵、字节跳动、芯原微电子、兆芯、算能科技等

1. 对数字集成电路设计领域介绍：
是什么，做什么，公司想招什么样的人

2. 如何求职：
投递，简历，笔试，面试，面试后

3. 如何选择：
行业，公司

数字芯片设计领域是什么

设计公司 (design house) → 代工厂 (foundary)

芯片设计开发前期阶段，利用 EDA (电子设计软件) 进行电路设计和仿真，在保证功耗/性能/可制造/可测性等等前提下，完成集成电路设计版图交付

芯片后端设计工作内容

利用 EDA 进行设计优化与迭代 (面积/功耗/性能/ IR / PV 达标)

逻辑推理 & debug: 现存设计/flow 的问题——如何优化与反馈并完成 signoff (验收)
脚本化处理: 自动化流程——解放双手

岗位技术要求

学历+专业背景

脚本 (TCL / Python / Cshell / Perl)

EDA工具使用 (Innovus/ICC2/FC, PrimeTime, Voltus/Redhawk, Calibre, DesignCompiler, StarRC/QRC)

对口项目经历 (电路相关竞赛/论文, 流片项目, 实习项目等)

技能树

PR-布局布线 (floorplan-布局规划, 复杂时钟实现, timing/power优化)
PV-物理验证 (DRC, LVS, PERC, ANT)
PI- 电源完整性 (电源规划, IR/EM验收, IR flow)
STA-静态时序分析 (SDC, 时序分析与收敛)
FLOW- 设计流程 (脚本化流程搭建与维护)
Power- 功耗优化、低功耗设计
SYN-综合集成
基础知识 (数电数集/CMOS器件/版图/电路设计.....)

公司招聘的其他考虑

性价比：

单位薪资能创造的价值

来公司后是否需要培养或培养的时间（项目相关度，学习能力）

稳定性：

籍贯/学校所在地，对职业规划以及定力

沟通/合作/人品：

是否愿意和你做同事？

简历 明确求职岗位，突出个人亮点

教育经历

学校+专业+学历+起止时间+GPA

获奖/课程

项目/实习/竞赛/论文经历 —— 匹配度+成果

- **项目描述:** 项目基于 TMS320C6748 工艺香山 RISC-V 开源处理器核物理设计，主频为 3 GHz
- **时序分析:** [1] **block 时序分析:** 进行 PR 和 PT 中 timing 一致性检查并解决相关问题，分析时序路径并优化 timing；
[2] **端口时序优化:** 实现 physical aware 并分析顶层设计中子模块间 700+ 条 IO 相关路径，维护 sdc 文件中端口约束并改变 IO 位置以优化端口时序。分析子模块 syn、pr 阶段时序和集成后 pt 阶段时序并进行迭代，合作推进时序优化工作。
- **功耗和 IR drop 评估优化:** [1] **debug 关键问题:** 独立 debug CTS 中 M0 缺失关键问题，使项目按预期开展功耗评估；
[2] **流程搭建和评估优化:** 编写脚本搭建 PTPX 和 Voltus 全流程，负责评估并优化 CPU 核功耗和 IR drop。
- **低功耗设计:** [1] **低功耗方案:** 完成 low power cell 选型，讨论低功耗方案并实现 UPF 代码落地；
[2] **低功耗流程:** 完成低功耗 DC&PR flow，负责多电压阈 floorplan，进行 power switch 和 level shifter 等单元插入；
[3] **多电压域电源网络设计:** 设计关断核 (second pg) 和常开域电源网络，根据 IR drop 和绕通性等结果进行迭代。

项目背景，负责什么且达到什么样效果

量化指标，突出自己工作量和成果

个人技能

- **物理设计经验:** 具备 RTL2GDS 后端实现经验 (包括 syn, PR, PA, PV, STA)，熟悉先进工艺 (7/28 nm) 物理设计点。
- **PPA 优化:** 掌握 IR drop 和功耗分析优化方法；掌握低功耗设计流程，熟悉 UPF 语法；具备时序 signoff 技能。
- **EDA 工具:** Innovus, StarRC, PrimeTime, PTPX, Voltus, Calibre, VCLP, Design Compiler。
- **计算机技能:** 熟悉 TCL 脚本语言；熟练使用 Linux 操作系统、Vim 编辑器。

对照求职岗位的技能要求填写

其他：论文列表（突出论文分量）/ 学生工作 / 个人Summary

投递

公众号

学校就业指导中心

电路和微电子考研

FPGA探索者

IC芯探

IC芯启航

XXX招聘：华为招聘等等

APP

牛客/脉脉/微信群/QQ群

招聘软件：前程无忧，BOSS直聘等等

内推

师兄师姐，脉脉/群聊/小红书内推

优先以内推/官网为主

BOSS直聘自荐

宣讲会/招聘会

投递

求职时间线，及时跟踪求职进展；**早投递**

公司名	地点	投递岗位	简历	测评	笔试	一面	二面	三面	HR面
京微齐力	北京	数字中端	√			√			√
众星微	无锡	数字后端	√			√	√		√
杰理科技	珠海	数字后端	√		√	√			
算能科技	北京	数字后端	√			√	√		√
字节	北京	数字后端	√			7.24	8.1	8.22	8.28
百度	北京	数字后端	√			7.28	8.31	9.6	
华为	北京	数字后端	√		√	√	√	10.12	
龙芯	北京	数字后端	√			8.15	8.17	9.13	
华芯巨数	杭州	数字后端	√		8.19	8.28	8.30	9.2	9.4
芯原	成都	数字后端	√			8.30	8.31		8.31
兆易创新	北京	数字后端	√		9.11	9.19			
兆芯	北京	数字后端	√			9.26	10.8		10.8
格兰菲	上海	数字后端	√			9.22	9.22		9.22
紫光同芯	北京	数字流程	√			10.12	10.30		
思朗科技	北京	数字后端	√		10.7	10.12			
中兴微电子	成都	数字后端	√			9.20			
大疆	上海	数字后端	√	√	8.13				
乐鑫	上海	数字Flow	√		8.15				
地平线	上海	数字后端	√			8.21	9.2		
海光	北京	数字中端	√		8.19	9.21			
瑞芯微	上海	数字后端	√		9.1	9.19			

笔试

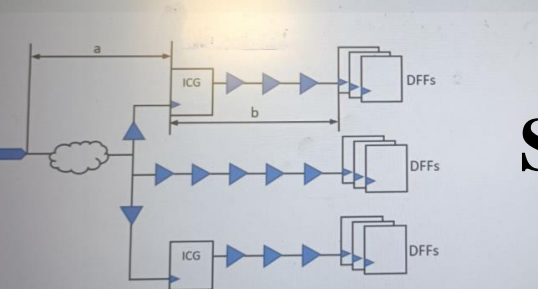
以数字IC技术笔试为例：

器件，数电，脚本，数字后端知识（时序分析与计算，低功耗，布局布线，IR drop，物理验证，综合，形式验证，物理设计流程），数字验证/DFT/前端，数学/物理知识

5. Q4 - STA

Please answer the following questions.

1. Please elaborate your understanding of the clock gating technology. (4')
2. ICG (Integrated Clock Gating) is often used in clock gating technology. According to the following circuit structure, please explain why ICG often has setup violations from timing perspective. (6')



STA

6. Q5 - Coding

We have a list of scores stored in data.txt. Write a program to get a histogram of these scores. (can be done in c/java/python/perl etc). (10')

data.txt:

```
68
57
75
96
81
66
89
54
97
51
93
70
61
98
27
100
```

Sample result:

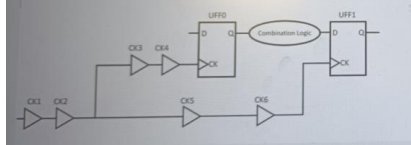
```
100: 100
90-99: 96 97 93 90
80-89: 81 89
70-79: 75 70
60-69: 68 66 61
50-59: 57 54 51
40-49:
30-39:
20-29: 27
10-19:
0-9:
```

脚本编程

One circuit timing path is shown as below figure, all invert' delay is zero, where CK1/CK2 with 0.5ns cell delay, CK3/4 with 0.4ns cell delay and CK5/6 with 0.3ns cell delay. Setup requirement: Setup=0.2ns, hold requirement: Hold=0.1ns, combination logic delay: 0.2ns+0.2ns, FF clock propagation delay: 0+0.3ns.

1. Assuming no deatching, calculate the fastest frequency of the circuit. (4')
2. Assuming known Tperiod=2.0ns, set timing ratio as below, please recalculate setup and hold slack. (6')

```
set_timing_desire -early 0.8
set_timing_desire -late 2.2
```



时序计算

可能成为批量筛选简历的环节
大厂性格测评/行测

面试：部门资深技术工程师/小老板/大老板/HR

八股文——专业领域基础课程/岗位技能树

基础概念

岗位——技术基础/深挖问题

深挖简历

简历项目（与岗位是否match）

论文/重要经历

综合素质 —— 软实力

场景考察，解决问题能力——如合作中遇到同事不配合怎么办

经历考察——近一年经历的最大困难/为什么选择这个岗位

意愿度考察——是否投递其他公司/选择一家公司会考虑什么方面/如果都给offer如何选/企业文化

稳定性——籍贯/学校所在地，未来规划

沟通能力

反问

请教技术问题，请教公司/培养情况

面试后

1. 电话/邮件保温
2. 面试后谈话：意愿度/薪资期望/地点/实习意愿/线下交流
3. 三方协议：
拖 —— 可能没offer
签 —— 毁约成本，丧失其他offer
4. 耐心等待，大厂泡池子/统一排序，后面会有好消息！

选择

1. 是否选择集成电路设计作为就业方向：

(1) 没有学习意愿/没有时间精力，只是试一试 —— 看缘分

(2) 有部分时间精力，可能只能看了看基础知识 —— 笔试有点用

(3) 科班背景+匹配项目（算法/人工智能/编程/电路），有充足精力做对口项目（实习/竞赛） —— 大胆冲

就业难度参考：[24届秋招到底难不难？复旦IC科班至今0offer，来自6所不同高校同学的秋招分享 哔哩哔哩 bilibili](#) —— 计算所同学分享

2. 同类offer如何选择：

面试定位可能成为就业起点

思考清楚自己想要什么

3. 合理预期

4. 固有认知 / 牛客脉脉知乎对公司评价？

Other

研究方向涉及**存算一体芯片**/算法/人工智能/电路相关

其他工作方面问题



北京 海淀

